

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-525257

(P2004-525257A)

(43) 公表日 平成16年8月19日(2004. 8. 19)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
C23C 14/16	C23C 14/16	4K029
C23C 16/34	C23C 16/34	4K030
H01L 21/285	H01L 21/285	4M104
	H01L 21/285 301	

審査請求 未請求 予備審査請求 有 (全 51 頁)

(21) 出願番号	特願2002-564763 (P2002-564763)	(71) 出願人	390040660
(86) (22) 出願日	平成14年1月25日 (2002. 1. 25)		アプライド マテリアルズ インコーポレ
(85) 翻訳文提出日	平成15年7月25日 (2003. 7. 25)		イテッド
(86) 国際出願番号	PCT/US2002/002311		APPLIED MATERIALS, I
(87) 国際公開番号	W02002/065547		NCORPORATED
(87) 国際公開日	平成14年8月22日 (2002. 8. 22)		アメリカ合衆国 カリフォルニア州 95
(31) 優先権主張番号	09/775, 356		054 サンタ クララ パウアーズ ア
(32) 優先日	平成13年1月31日 (2001. 1. 31)		ベニュー 3050
(33) 優先権主張国	米国 (US)	(74) 代理人	100088155
(81) 指定国	EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR		弁理士 長谷川 芳樹
		(74) 代理人	100094318
			弁理士 山田 行一
		(74) 代理人	100104282
			弁理士 鈴木 康仁

最終頁に続く

(54) 【発明の名称】 ウエハ・バイアスを用いて低温アルファ・タンタル薄膜を得る方法

(57) 【要約】

本願に提供されるのは、ウエハ上に窒化タンタル膜を堆積すること、その後、ウエハ・バイアスを用いて窒化タンタル膜を覆ってタンタル膜を堆積することにより、半導体ウエハ上にアルファ・タンタル膜を堆積する方法である。タンタル膜は、堆積されるとき、アルファ相である。また、同様に提供されるのは、Cuバリア及びシード層を半導体ウエハ上に堆積する方法であって、ウエハ上に窒化タンタル層を堆積すること、ウエハ・バイアスを用いて窒化タンタル層を覆ってタンタル層を堆積すること（ここで、結果として生じるタンタルバリア層は、アルファ相である）、その後、アルファ・タンタル・バリア層を覆ってCuシード層を堆積することを備える、上記方法である。更に提供されるのは、2つのチャンバ処理を用いて、アルファ・タンタル膜／層を堆積する方法であり、ここで、窒化タンタル及び続いて堆積されたタンタル膜／層は2つの別個のチャンバ（IMP又はSIPチャンバ）内で堆積可能である。また、更に提供されるのは、PVDタンタル膜をCVD膜上に堆積することにより、アルファ・タンタル膜を堆積する方法である。

【特許請求の範囲】

【請求項 1】

アルファ・タンタル膜を半導体ウエハ上に堆積する方法において：

ウエハ上に窒化タンタル膜を堆積するステップと；

ウエハ・バイアスを使用して、前記窒化タンタル膜を覆ってタンタル膜を堆積するステップであって、前記タンタル膜がアルファ相である場合にアルファ・タンタル膜が前記ウエハ上に堆積される前記ステップと；

を備える、前記方法。

【請求項 2】

前記タンタル膜を堆積するステップは：

10

ウエハ・バイアスを使用して、前記窒化タンタル膜を覆ってタンタル膜を堆積するステップであって、前記タンタル膜がアルファ相である、前記ステップと；

前記タンタル膜を凝集させ、それにより、アルファ・タンタル膜が前記ウエハ上に堆積されるステップと；

を更に備える、請求項 1 記載の方法。

【請求項 3】

前記ウエハ・バイアスは、約 100 W から約 500 W である、請求項 2 記載の方法。

【請求項 4】

前記ウエハ・バイアスは、約 300 W から約 500 W である、請求項 3 記載の方法。

【請求項 5】

20

前記アルファ・タンタル膜は、600℃未満の温度で堆積される、請求項 1 記載の方法。

【請求項 6】

前記アルファ・タンタル膜は、室温で堆積される、請求項 5 記載の方法。

【請求項 7】

半導体ウエハ上に Cu バリア及びシード層を堆積する方法において：

ウエハ上に窒化タンタル層を堆積するステップと；

ウエハ・バイアスを使用して、前記窒化タンタル層を覆ってタンタル層を堆積するステップであって、前記タンタル層がアルファ相である場合、それにより、前記ウエハ上にアルファ・タンタル・バリア層を堆積する、前記ステップと；

前記アルファ・タンタル・バリア層を覆って Cu シード層を堆積し、それにより、Cu バリア及びシード層が前記ウエハ上に堆積されるステップと；

30

を備える、前記方法。

【請求項 8】

前記タンタル層を堆積するステップは：

ウエハ・バイアスを使用して、前記窒化タンタル層を覆ってタンタル層を堆積するステップであって、前記タンタル膜がアルファ相である、前記ステップと；

前記タンタル層を凝集させ、それにより、アルファ・タンタル膜が前記ウエハ上に堆積されるステップと；

を更に備える、請求項 7 記載の方法。

【請求項 9】

40

前記ウエハ・バイアスは、約 100 W から約 500 W である、請求項 8 記載の方法。

【請求項 10】

前記ウエハ・バイアスは、約 300 W から約 500 W である、請求項 9 記載の方法。

【請求項 11】

前記アルファ・タンタル層は、600℃未満の温度で堆積される、請求項 7 記載の方法。

【請求項 12】

前記アルファ・タンタル層は、室温で堆積される、請求項 11 記載の方法。

【請求項 13】

アルファ・タンタル膜を半導体ウエハ上に堆積する方法において：

第 1 チャンパ内で、ウエハ上に窒化タンタル膜を堆積するステップと；

50

前記窒化タンタル膜を用いて堆積された前記ウエハを第２チャンバに移送するステップと；

前記第２チャンバ内で、前記窒化タンタル膜を覆ってタンタル膜を堆積するステップであって、前記タンタル膜はアルファ相である場合、それにより、アルファ・タンタル膜が前記ウエハ上に堆積される、前記ステップと；

を備える、前記方法。

【請求項１４】

前記第１チャンバは、イオン化金属プラズマチャンバであり、前記第２チャンバは、イオン化金属プラズマチャンバと自己イオン化プラズマチャンバから成る群から選択される、請求項１３記載の方法。

10

【請求項１５】

前記タンタル膜は、ウエハ・バイアスを使用して前記第２チャンバ内で堆積される、請求項１３記載の方法。

【請求項１６】

前記第１チャンバ及び前記第２チャンバは、自己イオン化プラズマチャンバである、請求項１５記載の方法。

【請求項１７】

半導体ウエハ上にＣｕバリア及びシード層を堆積する方法において：

第１チャンバ内で、ウエハ上に窒化タンタル層を堆積するステップと；

前記タンタル層を用いて堆積された前記ウエハを第２チャンバに移送するステップと；

20

前記第２チャンバ内で、前記窒化タンタル層を覆ってタンタル層を堆積するステップであって、前記タンタル層がアルファ相である場合、それにより、前記ウエハ上にアルファ・タンタル・バリア層を堆積する、前記ステップと；

Ｃｕバリア及びシード層が前記ウエハ上に堆積されるように前記アルファ・タンタル・バリア層を覆ってＣｕシード層を堆積するステップと；

を備える、前記方法。

【請求項１８】

前記第１チャンバは、イオン化金属プラズマチャンバであり、前記第２チャンバは、イオン化金属プラズマチャンバと自己イオン化プラズマチャンバから成る群から選択される、請求項１７記載の方法。

30

【請求項１９】

前記タンタル膜は、ウエハ・バイアスを使用して前記第２チャンバ内で堆積される、請求項１７記載の方法。

【請求項２０】

前記第１チャンバ及び前記第２チャンバは、自己イオン化プラズマチャンバである、請求項１９記載の方法。

【請求項２１】

アルファ・タンタル膜を半導体ウエハ上に堆積する方法において：

ＣＶＤ用チャンバ内で、ウエハ上に第１膜を堆積するステップと；

前記第１膜を用いて堆積された前記ウエハをＰＶＤ用チャンバに移送するステップと；

40

前記ＰＶＤ用チャンバ内で前記第１膜を覆ってタンタル膜を堆積するステップであって、前記タンタル膜がアルファ相である場合、それにより、アルファ・タンタル膜が前記ウエハ上に堆積される、前記ステップと；

を備える、前記方法。

【請求項２２】

前記第１膜は、ＴｉＮ、ＴｉＳｉＮ、ＴａＮ、Ｗ、ＷｘＮから成る群から選択される、請求項２１記載の方法。

【請求項２３】

前記ＰＶＤ用チャンバは、イオン化金属プラズマチャンバまたは自己イオン化プラズマチャンバである、請求項２１記載の方法。

50

【請求項 24】

前記第 1 膜を用いて堆積された前記ウエハは、真空内で前記 P V D 用チャンバに移送される、請求項 21 記載の方法。

【発明の詳細な説明】

【発明の背景】

【0001】

発明の分野

本発明は、概して、半導体製造分野に関する。更に詳細には、本発明は、ウエハ・バイアスを用いて低温アルファ・タンタル薄膜を得る方法に関する。

【0002】

10

関連技術の説明

タンタル (Ta) 金属は、2つの結晶相：低抵抗 (12-20 マイクローム-cm) のアルファ (体心立方又は bcc) 相；高抵抗 (160-170 マイクローム-cm) のベータ (正方晶系) 相を有する。低抵抗のアルファ相の為、それは、電子または半導体用途の為にはベータ相より好ましい。

【0003】

この低抵抗相を形成する初期の技術は、1時間以上、600℃を越える温度でタンタル膜をアニールするか、変形させるためにイオンで Ta 膜を衝突させるかのいずれかであった。これらの技術は、エレクトロニクス用途の為には限定的であるが、これは、400℃を越える処理温度は、通常、デバイス制作と両立しないからである。また、スパッタされた金属堆積中、そのような基板温度を維持、制御することも困難である。

20

【0004】

そのため、従来技術は、半導体制作中、低温でアルファ・タンタル膜を堆積する効果的手段が不足する点で不完全である。特に、従来技術は、ウエハ・バイアスを使用することにより、アルファ・タンタル膜を堆積する効果的手段が不足する点で不完全である。本発明は、当該技術において、長年にわたり、要求され望まれたことを満足するものである。

【発明の概要】

【0005】

本発明の一態様において、半導体ウエハ上にアルファ・タンタル膜を堆積する方法が提供される。この方法は、ウエハ上に窒化タンタルを堆積するステップ、その後、ウエハ・バイアスを用いて窒化タンタル膜を覆ってタンタル膜を堆積するステップを備える。タンタル膜は、堆積されたとき、アルファ相になっているので、ウエハ上にアルファ・タンタル膜が堆積される。

30

【0006】

本発明の他の態様において、Cu バリア及びシード相を半導体ウエハ上に堆積する方法が提供される。この方法は、ウエハ上に窒化タンタル層を堆積するステップ、ウエハ・バイアスを用いて窒化タンタル層を覆ってタンタル層を堆積するステップ、ここで、タンタル層はアルファ相なので、ウエハ上にはアルファ・Ta バリア層が堆積される。続いて、Cu シード層は、その後、アルファ・タンタル・バリア層を覆って堆積される。

【0007】

40

本発明の更なる態様において、2つのチャンバ処理を用いて、半導体ウエハ上にアルファ・タンタル膜を堆積する方法が提供される。この方法は、窒化タンタル膜を第1チャンバ内のウエハ上に堆積するステップ、窒化タンタル膜で堆積されたウエハを第2チャンバに移送するステップ、第2チャンバ内で窒化タンタル膜を覆ってタンタル膜を堆積するステップを備える。タンタル膜は、堆積されるとき、アルファ相なので、ウエハ上にはアルファ・タンタル膜が堆積される。

【0008】

また、本発明の更なる他の態様において、2つのチャンバ処理を用いて、Cu バリア及びシード層を半導体ウエハ上に堆積する方法が提供される。この方法は、第1チャンバ内でウエハ上に窒化タンタルを堆積するステップ、窒化タンタルで堆積されたウエハを第2チ

50

チャンバに移送するステップ、第2チャンバ内で窒化タンタル層を覆ってタンタル層を堆積するステップ、ここで、タンタル層はアルファ相なので、ウエハ上にはアルファ-Taバリア層が堆積され、Cuシード層はアルファ-Ta層を覆って堆積される。

【0009】

また、本発明の更なる別の態様において、半導体ウエハ上にアルファ-Ta膜を堆積する方法が提供される。この方法は、CVD用チャンバ内でウエハ上に第1膜を堆積するステップ、第1膜で堆積されたウエハをPVD用チャンバに移送するステップ、PVD用チャンバ内で第1膜を覆ってタンタル膜を堆積するステップを備える。タンタル膜は、堆積されるとき、アルファ相なので、ウエハ上にはアルファ-Ta膜が堆積される。

【0010】

本発明の他の更なる態様、特徴、利点は、開示目的の為に与えられた本発明の実施形態の、以下の説明から明らかであろう。

【0011】

本発明は、ウエハ・バイアスを使用することにより、低温でアルファ・タンタル膜を堆積する方法に関する。これは、アルファ相を得る際にウエハ・バイアスが建設的に使用可能であるという最初の例証である。バリア膜(Ta)の低抵抗(アルファ相)は、構造の正味抵抗を減少させ、後の電気メッキ充填処理の為に良好なバリア/シード・スタックを提供する為に重要である。

【0012】

本発明の一実施形態に係る方法は、Ta₂N₅、TiSiN₂、或いは、TiNの膜、その後続くタンタル(Ta)の被覆層を堆積するステップに関連する。アルファ相タンタルの低抵抗は、タンタル被覆層を堆積するステップ中にバイアスを使用することにより形成可能である。タンタル被覆層は、堆積されるとき、アルファ相の形成を生じる窒素の濃度が低い。

【0013】

従来の技術と比較すると、本発明の方法は、ウエハ・バイアスを使用することにより、600℃を越える温度よりもデバイス制作と共存可能な室温で低抵抗のアルファ相タンタルを形成可能にする。

【0014】

そのため、前述したように、本発明の一態様は、半導体ウエハ上にアルファ・タンタル膜を堆積する方法に向けられている。この方法は、窒化タンタル膜をウエハ上に堆積するステップと、その後、ウエハ・バイアスを用いて上記窒化タンタル膜を覆ってタンタル膜を堆積するステップと、を備える。タンタル膜は、堆積されるとき、アルファ相なので、ウエハ上にアルファ・タンタル膜が堆積される。

【0015】

特に、タンタル膜は2ステップ：ウエハ・バイアスを用いて窒化タンタル膜を覆ってタンタル膜を堆積するステップであって、上記タンタル膜はアルファ相にある、上記ステップ；上記タンタル膜を凝集するステップ；で堆積される。そのようにすることにより、アルファ・タンタル膜がウエハ上に堆積される。ウエハ・バイアスは、約100Wから約500Wであり、より具体的には、約300Wから約500Wである。より詳細には、アルファ・タンタル膜を堆積する為に使用される温度は、従来技術における600℃より非常に低く、例えば、室温が可能である。

【0016】

本発明の他の態様は、Cuバリア及びシード層を半導体ウエハ上に堆積する方法である。この方法は、窒化タンタル層をウエハ上に堆積するステップと、ウエハ・バイアスを用いて上記窒化タンタル層を覆ってタンタルを堆積するステップであって、上記タンタル層がアルファ相である場合には、それにより、アルファ・タンタルを堆積する、前記ステップと、を備える。その後、Cuシード層が、それから、アルファ・タンタル・バリア層を覆って堆積される。

【0017】

10

20

30

40

50

特に、タンタル層は、２ステップ：ウエハ・バイアスを使用して上記窒化タンタル層を覆ってタンタル層を堆積するステップであって、上記タンタル膜がアルファ相である、上記ステップ；上記タンタル層を凝集させるステップ；で堆積される。そのようにすることにより、アルファ・タンタル層が上記ウエハ上に堆積される。ウエハ・バイアスは、約１００Ｗから約５００Ｗ、より具体的には、約３００Ｗから約５００Ｗである。より詳細には、アルファ・タンタル層を堆積する為に使用される温度は、６００℃未満であり、例えば、室温でもよい。

【００１８】

本発明の更に他の態様は、２つのチャンバ処理を用い、半導体ウエハ上にアルファ・タンタル膜を堆積する方法に向けられている。この方法は、第１チャンバ内でウエハ上に窒化タンタル膜を堆積するステップ、窒化タンタル膜を用いて堆積されたウエハを第２チャンバに移送するステップ、第２チャンバ内で窒化タンタル膜を覆ってタンタル膜を堆積するステップを備える。タンタル膜は、堆積されるとき、アルファ相にあるので、アルファ・タンタル膜がウエハ上に堆積される。

【００１９】

特に、第１チャンバは、イオン化金属プラズマチャンバでよいが、第２チャンバは、イオン化金属プラズマチャンバあるいは自己イオン化プラズマチャンバである。代替的に、第１チャンバ及び第２チャンバの両方は、自己イオン化プラズマチャンバでよい。この場合、タンタル膜は、ウエハ・バイアスを用いて第２チャンバ内に堆積される。

【００２０】

また、更に本発明の他の態様は、２つのチャンバ処理を用いて、Ｃｕバリア及びシード層を半導体ウエハ上に堆積する方法に向けられている。この方法は、第１チャンバ内でウエハ上に窒化タンタル層を堆積するステップ、窒化タンタル層を用いて堆積された上記ウエハを第２チャンバに移送するステップ、第２チャンバ内で窒化タンタル層を覆ってタンタル層を堆積するステップであって、上記タンタル層がアルファ相にある場合にはアルファ・タンタル・バリア層をウエハ上に堆積する上記ステップ、アルファ・タンタル・バリア層を覆ってＣｕシード層を堆積するステップ、を備える。

【００２１】

特に、第１チャンバは、イオン化金属プラズマチャンバでよいが、第２チャンバは、イオン化金属プラズマチャンバあるいは自己イオン化プラズマチャンバである。代替的に、第１チャンバ及び第２チャンバの両方とも、自己イオン化プラズマチャンバでよい。この場合、タンタル膜は、ウエハ・バイアスを用いて第２チャンバ内に堆積される。

【００２２】

また更に、本発明の他の態様は、半導体ウエハ上にアルファ・タンタル膜を堆積する方法に向けられている。この方法は、ＣＶＤ用チャンバ内でウエハ上に第１膜を堆積するステップと、第１膜を用いて堆積されたウエハをＰＶＤ用チャンバに移送するステップと、ＰＶＤ用チャンバ内で第１膜を覆ってタンタル膜を堆積するステップと、を備える。タンタル膜は、堆積されるとき、アルファ相なので、アルファ・タンタル膜がウエハ上に堆積される。

【００２３】

特に、第１膜は、ＴｉＮ、ＴｉＳｉＮ、ＴａＮ、Ｗ、ＷｘＮでもよい。ＰＶＤ用チャンバは、イオン化金属プラズマ（ＩＭＰ）チャンバあるいは自己イオン化プラズマ（ＳＩＰ）チャンバである。代替的に、ウエハは、真空中でＣＶＤ用チャンバからＰＶＤ用チャンバに移送される。

【００２４】

以下の実施例は、いろいろな本発明の実施形態を例示する目的で与えられ、いずれかの様式に本発明を限定する為に意図されていない。

【実施例１】

【００２５】

Ｔａ堆積ステップ中におけるバイアスを用いたアルファ相の形成

5つの複層サンプルが以下の形態で用意された：100 ÅのTa₂Nが堆積された。その後、150 ÅのTa被覆層が続き、Ta堆積ステップにおいて使用されたバイアスは0 Wから500 Wの間で変更された。全部のサンプルは、物理蒸着（PVD）技術を用いることにより、室温で、 1×10^{-8} トル未満の真空レベルを有するチャンバ内で堆積された。堆積後、サンプルは、それから、走査型オージェ技術を用いて窒素含有量が分析された。

【0026】

結果は、窒素の濃度が複層膜の上面から底面で変化することを示す（図1参照）。膜の第1部分は、13%の窒素を持つTaである。これに続くのは、Ta₂N層とTa層との間の接合部に対応する推移領域である。第3領域は、Ta₂N層であり、概略的に25%の窒素を有する。

10

【0027】

図2及び図3は、両方とも、タンタル層でバイアスが使用されない時（0 W）アルファ相が形成されないことを示す（ $R_s > 60 \Omega/\text{sq}$ ）。0 Wバイアスでは、窒素もタンタル層内に存在しない点に注意すべきであった（図3参照）。これは、X線回折（XRD）研究からも確認された。100 Wの段階でバイアスを増加すると、 $25 \Omega/\text{sq}$ で安定期まで、それが始まるまで、膜のシート抵抗が単調に減少することが観察された。X線回折分析は、アルファ相に対応するピーク強度値が100 W以降に鋭く増加することを示した。しかし、300 Wを越えるバイアスが使用されるまで、タンタル層には窒素が発見されなかった。これは、バイアスがアルファ相の形成に貢献する主要なファクタであることを示すものである。バイアスによりもたらされた高エネルギーイオンの衝突は、明らかに、ベータ（正方晶系）からアルファ（体心立方またはbcc）へのタンタル相の変形を導く。しかし、（チャンバ内あるいは他の技術により）タンタル層に少量の窒素を導入することは、低抵抗アルファ相の形成を実際に導くことができることに注意されたい。

20

【0028】

X線回折ステップ中に使用されたバイアスの印加により、下にあるTa₂N層から窒素を除去することが容易になる。しかし、これは、図3で示されるように、高バイアスレベル（すなわち、 $> 300 \text{ W}$ ）時だけで生じる。

【実施例2】

【0029】

Ta相形成における磁石の影響

30

非真空環境内で、磁石は、ターゲット（すなわち、タンタル膜）より約1–2 mm上方に置かれる。磁石は、電界（ターゲットは印加されたDC電力のため負電位を出す）と結合して、ターゲットをスパッタを生じるイオンや電子を加速する磁界を生成する。磁石は、可能な限り均一にターゲットを消耗するように設計されている。

【0030】

2つの磁石（磁石1と磁石2）が、実験された。2つの磁石は、使用された極片の種類が異なる。一定の極片は、異なる磁石を生成するように変更された。さらに、磁石1と比較して、磁石2では幾つかの機械的設計変更も生じた。全体的に、磁石2は、イオン化に関する限り、磁石1より強力である。

【0031】

40

タンタル相の形成において磁石の効果は、図4に示されている。同等の処理条件が磁石1及び磁石2の両方に対して使用され、両方の磁石の効果が評価され比較された。磁石1の曲線は、実施例1で得られたデータに反映する。

【0032】

タンタルにおけるアルファ相の形成の完全形成は、 $30 \Omega/\text{sq}$ 以下のシート抵抗（ R_s ）を有する膜に結びつくことが示されている。磁石1に対する閾値バイアス（Ta堆積処理ステップ）は、 $\sim 300 \text{ W}$ であるが、磁石2に対する閾値バイアスは100 Wである。これらのデータは、適切に磁石を変形することによりTaバイアスの閾値を、より低い値にすることができることを示す。

【0033】

50

使用された磁石は、プラズマがウエハバイアスと結合する方法に影響を与えることができる。図4は、磁石2を用いて100Wのバイアスでさえ、アルファ相形成が生じることを示す一方、磁石1を使うと少なくとも300Wのバイアスが必要である。これが示すことは、バイアスが磁石2に対するプラズマと良好に結合する点である。

【実施例3】

【0034】

後で堆積されるTa層におけるTa相の影響

この実験では、2つのサンプルが処理された。Ta₂N (~100 Å)は、500Wのウエハバイアスを用いて、両方のウエハ上に堆積された。このTa₂N層の上部のタンタル被覆層を堆積する処理は、2ステップ：5秒間のステップ（ステップ1）；7秒間のステップ（ステップ2）に分解される。サンプル1は、ステップではバイアスが無く、ステップ2ではバイアスを付けて処理された。サンプル2は、ステップ1ではバイアスを付けて、ステップではバイアスを付けずに処理された。他の全ての処理条件は、両方のサンプルとも同一である。

【0035】

実施例1の実験は、タンタルステップ中にバイアスを使用することが、低抵抗アルファ相の形成を生じること、バイアスの不在がベータ相の形成を生じることを証明した。この実施例において、この効果は、いったんアルファ相がタンタル層内に形成されると、後に堆積されるタンタル層は、バイアスが使われても使われなくてもアルファ相を有することを証明する（表1のサンプル2からのデータ参照）。同一の傾向において、いったんベータ相がタンタル層内に形成されると、後で堆積されたタンタル層内にアルファ相は形成されない（表1の試料1からのデータ参照）。

【0036】

【表1】

後で堆積されたTa層上のTa相の効果

		ステップ1	ステップ2	
試料	バイアス-TaN (6.7s)	バイアス-Ta (5s)	バイアス-Ta (7s)	Rs (オーム/平方)
1	500 W	0 W	500 W	44.16
2	500 W	500 W	0 W	25.94

省略：Rs：シート抵抗

上記実験は、いかにアルファ又はベータ・タンタルがエピタキシャル成長可能かを示す。結論は、アルファ（又はベータ）相を形成する為に、（複層内の）タンタル層の全てがバイアスを付けて堆積される必要がないことである。必要なものは、内部に既にアルファ相を有する凝集タンタル層である。この層の上部に堆積されたタンタル膜の残部は、バイアスが無くてもアルファ相を形成するであろう。

【実施例4】

【0037】

アルファ-Ta相の形成における2チャンバ処理の効果

5つの異なる組合せがTa₂N及びタンタル層を堆積する為に使用された。Ta₂Nの下層は、試料1, 2, 3の為にIMP（イオン化金属プラズマ）チャンバ内で堆積されたが、試料4, 5の為にSIP（自己イオン化プラズマ）チャンバ内で堆積された。層を覆うタンタルは、試料1, 2, 4, 5の為に自己イオン化プラズマチャンバ内で堆積されたが、

試料 3 の為に I M P チャンバ内で堆積された。

【 0 0 3 8 】

低抵抗アルファ-T a 相が、5 つの組合せ（表 2 ）の内、4 つの組合せで形成されたことが分かった。アルファ相が形成されるのは、下の T a N が自己イオン化プラズマチャンバ内で堆積されるとき自己イオン化プラズマ T a ステップ中にバイアスが使用されるときだけであるが（試料 4 , 5 参照）、T a N が I M P チャンバ内で堆積されるときにはバイアスの有無に拘わらず、アルファ相が形成される（試料 1 , 2 参照）。これは、I M P T a N 層は、多分、S I P T a N 層とは異なる特性を持っていることを示す。

【 0 0 3 9 】

【表 2 】

10

アルファ/ベータ-Ta相の形成における2チャンバ処理の効果

試料	処理	処理	相
1	IMP TaN(バイアス無し)	SIP Ta(バイアス無し)	アルファ
2	IMP TaN(バイアス無し)	SIP Ta(バイアス)	アルファ
3	IMP TaN(バイアス無し)	IMP Ta(バイアス無し)	アルファ
4	SIP TaN(バイアス)	SIP Ta(バイアス)	アルファ
5	SIP TaN(バイアス)	SIP Ta(バイアス無し)	ベータ

20

【実施例 5 】

【 0 0 4 0 】

アルファ T a は、最初に T i N 又は T i S i N を C V D チャンバ内で堆積し、その後、真空中でウエハを T a 堆積の為に P V D T a チャンバ（I M P 又は S I P ）に移送することにより得ることもできる。約 3 0 ~ 3 0 0 Å の T i N 膜が C V D チャンバ内で堆積される（例えば、アプライドマテリアルズ社製 T x Z C V D チャンバ、米国特許第 5 , 8 4 6 , 3 3 2 号及び第 6 , 1 0 6 , 6 2 5 号）。ウエハ温度は、3 5 0 °C で、前駆体としてテトラキスジメチルアミド（T D M A T）を用いる。堆積膜は、その後、プラズマ及び S i H ₄ ソーキングを用いて処理され、T i S i N を形成する。その後、I M P T a チャンバ内で、1 k W のターゲット電力、2 . 5 k W のコイル電力、3 5 0 W のウエハ・バイアス：5 0 % のデューティサイクルを用いて、2 5 0 Å の T a が堆積される。

30

【 0 0 4 1 】

X 線回折（X R D）の結果が示したことは、P V D T a が C V D T i S i N 又は C V D T i N 上に堆積されるときに形成された T a 膜はアルファ相であるが（図 5 , 図 6）、P V D T a が S i O ₂ 上に堆積されるときにアルファ相は形成されない（図 7）ことである。

40

【 0 0 4 2 】

目的を實行し、本来的なもの他、言及された結果や利点を得る為に本発明が良好に適合されることを当業者は容易に理解するであろう。いろいろな変形例や変更は、本発明の精神や範囲を逸脱することなく、本発明を実施する際に行うことができることは、当業者にとって明らかであろう。ここで、変更や他の用途は当業者に思い出されるが、これらは、請求項の範囲により規定された発明の精神に包含されるものである。

【図面の簡単な説明】

【 0 0 4 3 】

【図 1 】図 1 は、複層膜の走査型オージェ分析の結果を示し、どのように窒素濃度が複層

50

膜の上部から底部で変化するかを示す。膜の第1部分は、13%の窒素を持つTaである。その後、Ta₂N層とTa層との間の接合面に対応する推移領域が続く。第3領域は、Ta₂N層であり、25%の窒素を概略的に有する。

【図2】図2は、タンタル上層内のシート抵抗における（複層膜において）タンタル層内で使用されたバイアスの影響を示す。（三角）：ピーク強度、（四角）：均一性、（菱形）：R_s（R_sはシート抵抗）。

【図3】図3は、タンタル被覆層内の窒素濃度における（複層膜において）タンタル層内で使用されたバイアスの影響を示す。（四角）：R_s、（菱形）：濃度、タンタル被覆層における窒素濃度（%）：R_s（R_sはシート抵抗）。

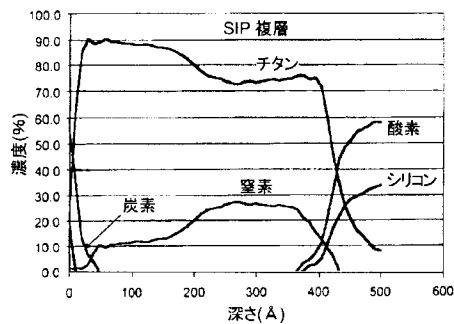
【図4】図4は、タンタル被覆層内の窒素濃度における（複層膜において）タンタル層内で使用されたバイアスの影響を示し、これらの影響は、磁石1と磁石2の状態との間で別個に比較されている。

【図5】図5は、CVDのTiSiN上にPVDのTaを堆積することによりアルファ・タンタル膜が形成されることを例証するX線回折装置（XRD）の結果を示す。XRDスペクトラムは、38.5°と55.6°でピークを示し、これらはアルファ・タンタルの特徴である。

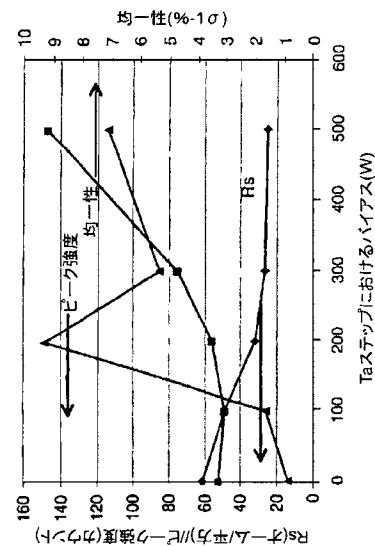
【図6】図6は、CVDのTiN上にPVDのTaを堆積することによりアルファ・タンタル膜が形成されることを例証するX線回折装置（XRD）の結果を示すが、これは、XRDスペクトラムでアルファピークにより表示されている。

【図7】図7は、SiO₂上にPVDのTaを堆積することにより膜が形成されることを例証するX線回折装置（XRD）の結果を示す。

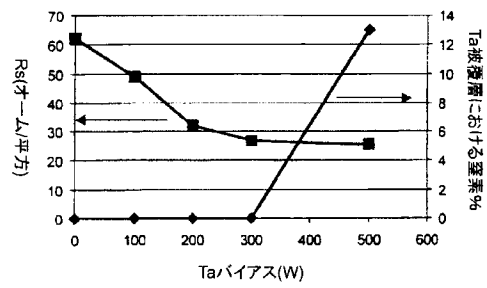
【図1】



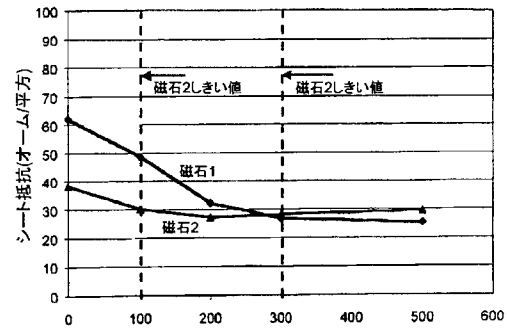
【図2】



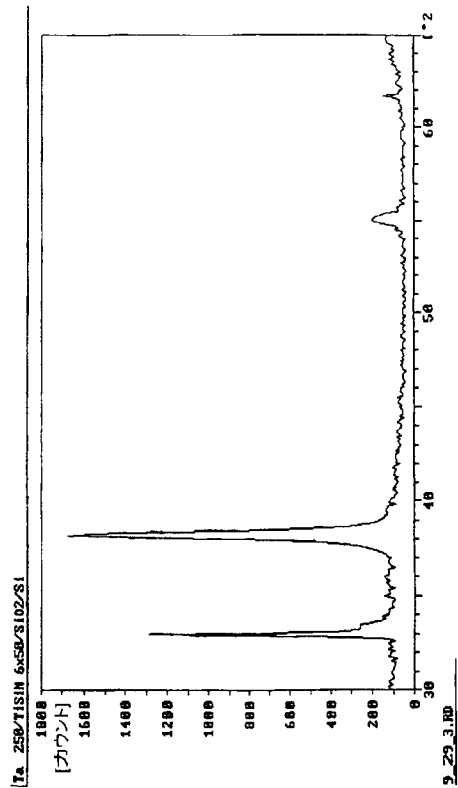
【図 3】



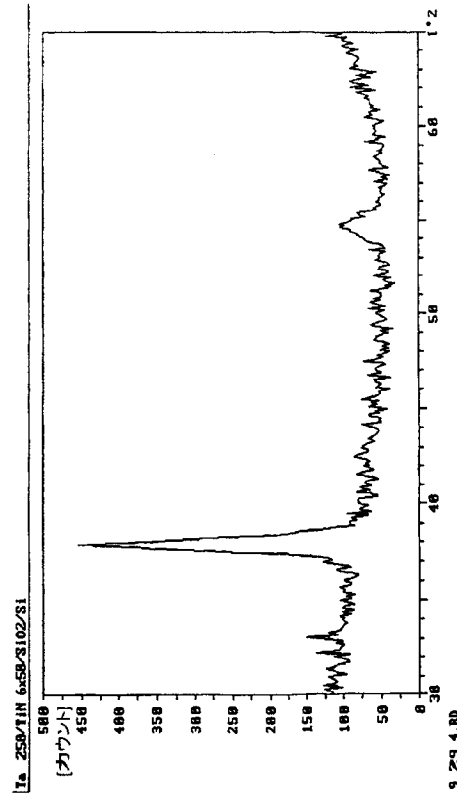
【図 4】



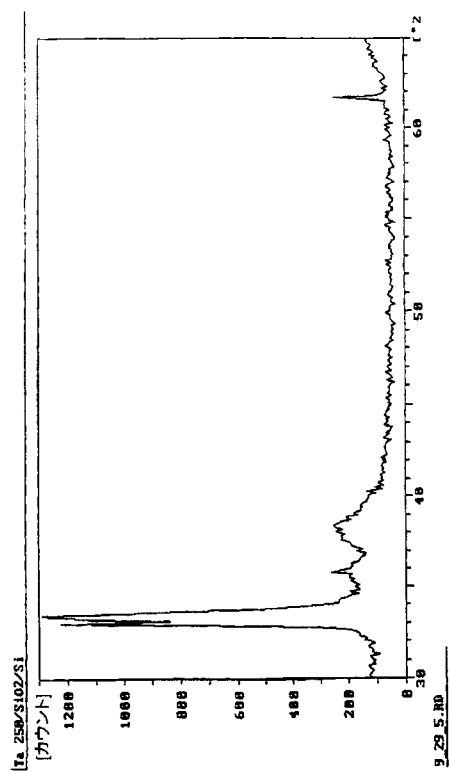
【図 5】



【図 6】



【図 7】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
22 August 2002 (22.08.2002)

PCT

(18) International Publication Number
WO 02/065547 A2

- (51) International Patent Classification: H01L 21/768
4475 Winding Lane, Fremont, CA 94539 (US); MAR-
CADAL, Christophe, 3655 Penridge Avenue #124,
Santa Clara, CA 95051 (US); CHEN, Ling, 784 Darnshire
Way, Sunnyvale, CA 94087 (US).
- (21) International Application Number: PCT/US02/02311
- (22) International Filing Date: 25 January 2002 (25.01.2002)
- (25) Filing Language: English
- (26) Publication Language: English
- (30) Priority Data:
09/775,356 31 January 2001 (31.01.2001) US
- (71) Applicant: APPLIED MATERIALS, INC. [US/US];
P.O. Box 450A, Santa Clara, CA 95052 (US).
- (72) Inventors: SUNDARRAJAN, Arvind, 2200 Monte
Street, #408, Santa Clara, CA 95050 (US); RENGARAJAN,
Suresh, 4819 Minant Avenue, San Jose, CA 95129
(US); MILLER, Michael, A., 452 S. Bernardo Avenue
#2, Sunnyvale, CA 94086 (US); DING, Peijun, 1020 W.
Riverside Way, San Jose, CA 95129 (US); YAO, Gongda.
- (74) Agents: BERNADICOU, Michael, A. et al.; Blakely,
Sokoloff, Taylor & Zafman LLP, 7th floor, 12400 Wilshire
Boulevard, Los Angeles, CA 90025 (US).
- (81) Designated States (national): CN, JP, KR.
- (84) Designated States (regional): European patent (AT, BE,
CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LI, MC,
NL, PT, SE, TR).
- Published:
— without international search report and to be republished
upon receipt of that report
- For two-letter codes and other abbreviations, refer to the "Guid-
ance Notes on Codes and Abbreviations" appearing at the begin-
ning of each regular issue of the PCT Gazette.

WO 02/065547 A2

(54) Title: METHOD OF OBTAINING LOW TEMPERATURE ALPHA-Ta THIN FILMS USING WAFER BIAS

(57) Abstract: Provided herein is a method of depositing alpha-tantalum film on a semiconductor wafer by depositing a tantalum nitride film on a wafer, and then depositing a tantalum film over the tantalum nitride film using wafer bias. The tantalum film as deposited is in alpha phase. Also provided is a method of depositing Cu barrier and seed layer on a semiconductor wafer, comprising the steps of depositing a tantalum nitride layer on a wafer, depositing a tantalum layer over the tantalum nitride layer using wafer bias, wherein the resulting tantalum barrier layer is in alpha phase; and then depositing Cu seed layer over the alpha-tantalum barrier layer. Further provided is a method of depositing alpha-tantalum film/layer using two-chamber process, wherein the tantalum nitride and subsequently deposited tantalum films/layers can be deposited in two separate chambers, such as IMP or SIP chambers. Still further provided is a method of depositing alpha-tantalum film by depositing PVD tantalum film on CVD films.

WO 02/065547

PCT/US92/02311

5

METHOD OF OBTAINING LOW TEMPERATURE ALPHA-Ta
THIN FILMS USING WAFER BIAS

10

15

BACKGROUND OF THE INVENTION

Field of the Invention

The present invention relates generally to the field of
semiconductor manufacturing. More specifically, the present
invention relates to a method of obtaining low temperature
alpha-Ta thin films using wafer bias.

25 Description of the Related Art

Tantalum (Ta) metal has two crystalline phases: the
low resistivity (12-20 micro-ohm-cm) alpha (body centered cubic
or bcc) phase and a higher resistivity (160-170 micro-ohm-cm)

WO 02/065547

PCT/US02/02311

beta (tetragonal) phase. Due to the lower resistivity of the alpha phase, it is preferred for electronic and semiconductor applications over the beta phase.

5 Earlier techniques to form this low resistivity phase involved either annealing tantalum films to temperatures over 600°C for more than 1 hour, or bombarding Ta film with ions to cause the transformation. These techniques are limited for electronics applications because processing temperatures above
10 400°C are typically not compatible with device fabrication. It is also difficult to maintain and control such a high substrate temperature during sputtered metal deposition.

Therefore, the prior art is deficient in the lack of an
15 effective means of depositing an alpha-tantalum film at low temperatures during semiconductor fabrication. Specifically, the prior art is deficient in the lack of an effective means of depositing alpha- tantalum film by using wafer bias. The present invention fulfills this long-standing need and desire in the art.

20

SUMMARY OF THE INVENTION

25

In one aspect of the present invention, there is provided a method of depositing an alpha-tantalum film on a semiconductor wafer. This method comprises the steps of

WO 02/065547

PCT/US02/02311

depositing a tantalum nitride film on a wafer; and then depositing a tantalum film over the tantalum nitride film using wafer bias. The tantalum film as deposited is in alpha phase so that an alpha-tantalum film is deposited on the wafer.

5

In another aspect of the present invention, there is provided a method of depositing a Cu barrier and seed layer on a semiconductor wafer. This method comprises the steps of depositing a tantalum nitride layer on a wafer; depositing a tantalum layer over the tantalum nitride layer using wafer bias, wherein the tantalum layer is in alpha phase, thereby depositing an alpha-Ta barrier layer on the wafer. Subsequently, a Cu seed layer is then deposited over the alpha-tantalum barrier layer.

15 In still another aspect of the present invention, there is provided a method of depositing an alpha-tantalum film on a semiconductor wafer using a two-chamber process. This method comprises the steps of depositing a tantalum nitride film on a wafer in a first chamber; transferring the wafer deposited with the tantalum nitride film to a second chamber; and depositing a tantalum film over the tantalum nitride film in the second chamber. The tantalum film as deposited is in alpha phase, thereby an alpha-tantalum film is deposited on the wafer.

20 In yet another aspect of the present invention, there is provided a method of depositing a Cu barrier and seed layer on a semiconductor wafer using a two-chamber process. This method comprises the steps of depositing a tantalum nitride layer on a

WO 02/065547

PCT/US02/02311

wafer in a first chamber; transferring the wafer deposited with the tantalum nitride layer to a second chamber; depositing a tantalum layer over the tantalum nitride layer in a second chamber, wherein the tantalum layer is in alpha phase, thereby
5 depositing an alpha-tantalum barrier layer on the wafer; and depositing Cu seed layer over the alpha-tantalum barrier layer.

In still yet another aspect of the present invention, there is provided a method of depositing alpha-tantalum film on a
10 semiconductor wafer. This method comprises the steps of depositing a first film on a wafer in a CVD chamber; transferring the wafer deposited with the first film to a PVD chamber; and depositing a tantalum film over the first film in the PVD chamber. The tantalum film as deposited is in alpha phase, thereby an
15 alpha-tantalum film is deposited on the wafer.

Other and further aspects, features, and advantages of the present invention will be apparent from the following description of the embodiments of the invention given for the
20 purpose of disclosure.

BRIEF DESCRIPTION OF THE DRAWINGS

25

So that the matter in which the above-recited features, advantages and objects of the invention, as well as others which will become clear, are attained and can be

WO 02/065547

PCT/US02/02311

understood in detail, more particular descriptions of the invention briefly summarized above may be had by reference to certain embodiments thereof which are illustrated in the appended drawings. These drawings form a part of the
5 specification. It is to be noted, however, that the appended drawings illustrate embodiments of the invention and therefore are not to be considered limiting in their scope.

Figure 1 shows the result of Scanning Auger analysis
10 of bilayer film demonstrating how the concentration of nitrogen changes from the top of the bilayer film to the bottom. The first part of the film is Ta with ~ 13% nitrogen. This is followed by a transition region which corresponds to the interface between the TaN layer and the Ta layer. The third region is the TaN layer
15 which has roughly 25% nitrogen.

Figure 2 shows the effect of bias used in the tantalum layer (in bilayers) on sheet resistance in the tantalum overlayer.
(▲): Peak intensity, (■): Uniformity, and (◆): Rs. Rs: sheet
20 resistance.

Figure 3 shows the effect of bias used in the tantalum layer (in bilayers) on nitrogen content in the tantalum overlayer.
(■): Rs., (◆): concentration (%) of nitrogen in tantalum
25 overlayer. Rs: sheet resistance.

Figure 4 shows the effect of bias used in the tantalum layer (in bilayers) on sheet resistance in the tantalum

WO 02/065547

PCT/US02/02311

overlayer, wherein the effects are compared between conditions with Magnet 1 and Magnet 2, separately.

Figure 5 shows the X-ray defraction (XRD) results demonstrating that alpha-Ta film is formed by depositing PVD Ta on CVD TiSiN. The XRD spectrum shows peaks at 38.5° and 55.6°, which are characteristics of alpha-Ta.

Figure 6 shows the X-ray defraction (XRD) results demonstrating that alpha-Ta film is formed by depositing PVD Ta on CVD TiN, indicated by the alpha-Ta peaks in the XRD spectrum.

Figure 7 shows the X-ray defraction (XRD) results demonstrating that a film is formed by depositing PVD Ta on SiO₂. No alpha-Ta peaks are found in the XRD spectrum.

DETAILED DESCRIPTION OF THE INVENTION

The present invention relates to a method of depositing alpha-tantalum films at low temperatures by using wafer bias. This is the first demonstration that wafer bias can be constructively used in obtaining the alpha-phase. The low resistivity (alpha-phase) of the barrier film (Ta) is important for reducing the net resistance of the structure, and providing a

WO 02/065547

PCT/US02/02311

better barrier/seed stack for the subsequent electroplating fill process.

The method of one embodiment of the present invention involves depositing a film of TaN, TiSiN or TiN followed by an overlayer of tantalum (Ta). The low resistivity alpha-phase tantalum can be formed by using bias during the step of depositing tantalum overlayer. The tantalum overlayer as deposited has a low concentration of nitrogen that results in the formation of the alpha-phase.

Compared to the state-of-art techniques, the present method by using wafer bias enables the low resistivity alpha-phase tantalum to form at room temperature, which is more compatible with device fabrication than temperatures of over 600°C.

Therefore, as described above, one aspect of the present invention is directed to a method of depositing alpha-tantalum film on a semiconductor wafer. This method comprises the steps of depositing a tantalum nitride film on a wafer; and then depositing a tantalum film over the tantalum nitride film using wafer bias. The tantalum film as deposited is in alpha phase, accordingly, an alpha-tantalum film is deposited on the wafer.

Specifically, the tantalum film is deposited in two steps: depositing a tantalum film over the tantalum nitride film

WO 02/065547

PCT/US02/02311

using wafer bias, wherein the tantalum film is in alpha phase; and nucleating the tantalum film. By doing so, an alpha-tantalum film is deposited on the wafer. The wafer bias is from about 100 W to about 500 W, more specifically, from about 300 W to about 500 W. More specifically, the temperature used for depositing the alpha-tantalum film is very much lower than the 600°C as in prior art techniques, and can be, for example, at room temperature.

Another aspect of the present invention is directed to a method of depositing a Cu barrier and seed layer on a semiconductor wafer. This method comprises the steps of depositing a tantalum nitride layer on a wafer; depositing a tantalum layer over the tantalum nitride layer using wafer bias, wherein the tantalum layer is in alpha phase and thereby depositing an alpha-tantalum barrier layer on the wafer. Subsequently, a Cu seed layer is then deposited over the alpha-tantalum barrier layer.

Specifically, the tantalum layer is deposited in two steps: depositing a tantalum layer over the tantalum nitride layer using wafer bias, wherein the tantalum layer is in alpha phase; and nucleating the tantalum layer. By doing so, an alpha-tantalum layer is deposited on the wafer. The wafer bias is from about 100 W to about 500 W and, more particularly, from about 300 W to about 500 W. More specifically, the temperature used for depositing the alpha-tantalum layer is lower than 600°C, and may be, for example, room temperature.

WO 02/065547

PCT/US02/02311

Still another aspect of the present invention is directed to a method of depositing alpha-tantalum film on a semiconductor wafer using a two-chamber process. This method comprises the steps of depositing a tantalum nitride film on a
5 wafer in a first chamber; transferring the wafer deposited with the tantalum nitride film to a second chamber; and depositing a tantalum film over the tantalum nitride film in a second chamber. The tantalum film as deposited is in alpha phase, thereby an alpha-tantalum film is deposited on the wafer.

10

Specifically, the first chamber can be an ionized metal plasma chamber, while the second chamber is either an ionized metal plasma chamber or self ionized plasma chamber. Alternatively, both first and second chambers can be self ionized
15 plasma chambers. In this case, the tantalum film is deposited using wafer bias in the second chamber.

Yet another aspect of the present invention is directed to a method of depositing a Cu barrier and a seed layer on a
20 semiconductor wafer using two-chamber process. This method comprises the steps of depositing a tantalum nitride layer on a wafer in first chamber; transferring the wafer deposited with the tantalum nitride layer to second chamber; depositing a tantalum layer over the tantalum nitride layer in second chamber, wherein
25 the tantalum layer is in alpha phase, thereby depositing an alpha-tantalum barrier layer on the wafer; and depositing a Cu seed layer over the alpha-tantalum barrier layer.

WO 02/065547

PCT/US02/02311

Specifically, the first chamber can be an ionized metal plasma chamber, while the second chamber is either an ionized metal plasma chamber or self ionized plasma chamber. Alternatively, both first and second chambers can be self ionized plasma chambers. In this case, the tantalum film is deposited using wafer bias in the second chamber.

Still yet another aspect of the present invention is directed to a method of depositing alpha-tantalum film on a semiconductor wafer. This method comprises the steps of depositing a first film on a wafer in a CVD chamber; transferring the wafer deposited with the first film to a PVD chamber; and depositing a tantalum film over the first film in the PVD chamber. The tantalum film as deposited is in alpha phase, thereby an alpha-tantalum film is deposited on the wafer.

Specifically, the first film may be TiN, TiSiN, TaN, W, or WxN. The PVD chamber is either an ionized metal plasma (IMP) chamber or self ionized plasma (SIP) chamber. Additionally, the wafer is transferred in vacuum from the CVD chamber to the PVD chamber.

The following examples are given for the purpose of illustrating various embodiments of the invention and are not meant to limit the present invention in any fashion.

WO 02/065547

PCT/US02/02311

EXAMPLE 1Formation of Alpha Phase Using Bias during the Ta Deposition Step

5 Five bilayer samples were prepared in the following fashion: 100 Å of TaN was deposited, followed by 150 Å of Ta overlayer, wherein the bias used in the Ta deposition step was varied between 0 W and 500 W. All samples were deposited at room temperature in chambers having vacuum levels of $< 1 \times 10^{-8}$ Torr by using the physical vapor deposition (PVD) technique. After deposition, the samples were then analyzed for the nitrogen content using the Scanning Auger Technique.

15 The result shows that the concentration of nitrogen changes from the top of the bilayer film to the bottom (see Figure 1). The first part of the film is Ta with ~ 13% nitrogen. This is followed by a transition region which corresponds to the interface between the TaN layer and the Ta layer. The third region is the TaN layer which has roughly 25% nitrogen.

20 Figure 2 and Figure 3 both show that when no bias is used in the tantalum layer (0 W), the alpha phase is not formed ($R_s > 60$ ohm/sq). It was noted that nitrogen is also absent in the tantalum layer at 0 W bias (Figure 3). This was also confirmed from x-ray diffraction (XRD) studies. Increasing the bias in steps of 100 W, the sheet resistance of the film was observed to come down monotonically till it began to plateau out at ~ 25 ohm/square. X-ray diffraction analyses showed that the peak

WO 02/065547

PCT/US02/02311

intensity value corresponding to the alpha-phase increased sharply after 100 W. However, no nitrogen was found in the tantalum layer till bias of more than 300 W was used. This indicates that bias is the main factor contributing to the formation of the alpha-phase. The bombardment of high energy ions brought about by bias apparently lead to a transformation of the tantalum phase from beta (tetragonal) to alpha (body centered cubic or bcc). However, it is noted that introduction of small amounts of nitrogen in the tantalum layer (either in the chamber or by some other technique) can actually lead to the formation of the low resistivity alpha phase.

The application of bias used during the x-ray diffraction step facilitates the removal of nitrogen from the underlying TaN layer. However, this happens only at higher bias levels, i.e., > 300 W, as seen from Figure 3.

20

EXAMPLE 2Effect of Magnet on the Ta Phase Formation

The magnet is placed about 1-2 mm above the target (i.e., tantalum film) in a non-vacuum environment. The magnet generates a magnetic field which coupled with the electrical field (the target develops a negative potential due to the applied DC power) accelerates electrons and ions resulting in sputtering the

WO 02/065547

PCT/US02/02311

target. The magnet is designed to erode the target as uniformly as possible.

Two magnets were experimented: Magnet 1 and Magnet 2. The two magnets differed in the kind of pole pieces that were used. Certain pole pieces were changed to generate different magnet. Additionally some mechanical design changes also occurred in Magnet 2 compared to Magnet 1. Overall, Magnet 2 is more powerful than Magnet 1 as far as ionization is concerned.

The effect of magnet on the Ta phase formation is shown in Figure 4. Identical process conditions were used for both Magnet 1 and Magnet 2, and the effect of both magnets were evaluated and compared. Magnet 1 curve reflects the data that were obtained in Example 1.

It is shown that complete formation of the alpha phase in the Ta results in films having a sheet resistance (R_s) of ~ 30 ohm/sq or less. For Magnet 1 the threshold bias (during the Ta deposition step) is ~300 W, while for Magnet 2 the threshold bias is 100 W. These data indicate that by suitably modifying the magnet it is possible to push the threshold Ta bias to lower and lower values.

The magnet used can influence the way plasma couples with the wafer bias. Figure 4 shows that the alpha phase formation results even at 100 W of bias with Magnet 2, while with

WO 02/065547

PCT/US02/02311

Magnet 1 at least 300 W of bias is required. This shows that bias couples better with the plasma for Magnet 2.

5

EXAMPLE 3

Effect of Ta Phase on the Ta Layer Subsequently Deposited

In this experiment, two samples were processed. TaN
10 (~100 Å) was deposited on both wafers with 500 W wafer bias. The process of depositing tantalum overlayer on top of this TaN layer was broken into two steps: a 5-second step (step 1) and a 7-second step (step 2). Sample 1 was processed with no bias in step 1 and with bias in step 2. Sample 2 was processed with bias
15 in step 1 and no bias in step 2. All other processing conditions were the same for both samples.

The experiments in Example 1 demonstrated that use of bias during the tantalum step results in the formation of low
20 resistivity alpha phase and absence of bias results in beta-phase formation. In the present Example, the results demonstrate that once the alpha-phase is formed in the tantalum layer, the subsequent tantalum layer deposited will have the alpha phase in it irrespective of whether bias is used or not (see data from
25 Sample 2, Table 1). In the same vein, once the beta phase is formed in the tantalum layer, the alpha phase will not be formed in the subsequently deposited tantalum layer (see data from Sample 1, Table 1).

WO 02/065547

PCT/US02/02311

TABLE 1

Effect of Ta Phase on the Ta Layer Subsequently Deposited

Sample	Bias-TaN (6.7 s)	Step 1	Step 2	Rs (ohm/sq)
		Bias-Ta (5 s)	Bias-Ta (7 s)	
1	500 W	0 W	500 W	44.16
2	500 W	500 W	0 W	25.94

5 Abbreviations: Rs: sheet resistance.

The above experiments show how alpha or beta
 10 tantalum can be grown epitaxially. The conclusion is that not all
 of the tantalum layers (in a bilayer) need to be deposited with
 bias in order to form an alpha (or beta) phase. What is needed is
 a nucleating tantalum layer that already has the alpha phase in it.
 The rest of the tantalum film deposited on top of this layer will
 15 form the alpha phase even if no bias is used.

EXAMPLE 4

20 The Effect of a Two Chamber Process on the Formation of the
 Alpha-Ta Phase

Five different combinations were used to deposit the
 TaN and tantalum layers. The TaN underlayer was deposited in

WO 02/065547

PCT/US02/02311

the IMP (ionized metal plasma) chamber for Samples 1, 2 and 3, while it was deposited in the SIP (self ionized plasma) chamber for Samples 4 and 5. The tantalum over layer was deposited in the self ionized plasma chamber for Samples 1, 2, 4 and 5, while it was deposited in the IMP chamber for Sample 3.

It was observed that the low resistivity alpha-Ta phase forms four of the five combinations (Table 2). While the alpha phase forms only when bias is used during the self ionized plasma Ta step when the underlying TaN was deposited in the self ionized plasma chamber (see Samples 4 & 5), it forms with and without bias when the TaN is deposited in the IMP chamber (see Samples 1 & 2). This indicates that the IMP TaN layer probably has properties that differ from the SIP TaN layer.

TABLE 2

The Effect of a Two Chamber Process on the Formation of Alpha/Beta-Ta Phase

Sample	Process	Process	Phase
1	IMP TaN (no bias)	SIP Ta (no bias)	alpha
2	IMP TaN (no bias)	SIP Ta (bias)	alpha
3	IMP TaN (no bias)	IMP Ta (no bias)	alpha
4	SIP TaN (bias)	SIP Ta (bias)	alpha
5	SIP TaN (bias)	SIP Ta (no bias)	beta

EXAMPLE 5

Alpha Ta can also be obtained by first depositing TiN
5 or TiSiN in a CVD chamber, then transferring the wafer in vacuum
to a PVD Ta chamber (IMP or SIP) for the Ta deposition. TiN film
of about 30-300Å is deposited in a CVD chamber (e.g., Applied
Materials TxZ CVD chamber, US Patent No. 5,846,332 & US Patent
No. 6,106,625). The wafer temperature is 350°C using tetrakis-
10 dimethyl-amido titanium (TDMAT) as precursor. The deposited
film is then treated with plasma and SiH₄ soak to form TiSiN. Ta
of 250Å is then deposited in IMP Ta chamber with 1 kW target
power, 2.5 kW coil power and 350 W wafer bias with 50% duty
cycle.

15

X-ray diffraction (XRD) results showed that the Ta
film formed is in alpha phase when PVD Ta is deposited on CVD
TiSiN or CVD TiN (Figures 5-6), while no alpha-Ta is formed when
PVD Ta is deposited on SiO₂ (Figure 7). Besides TiN or TiSiN, the
20 CVD film may also include TaN, W, and WxN.

One skilled in the art will readily appreciate that the
present invention is well adapted to carry out the objects and
25 obtain the ends and advantages mentioned, as well as those
inherent therein. It will be apparent to those skilled in the art
that various modifications and variations can be made in
practicing the present invention without departing from the spirit

WO 02/065547

PCT/US02/02311

or scope of the invention. Changes therein and other uses will occur to those skilled in the art which are encompassed within the spirit of the invention as defined by the scope of the claims.

WO 02/065547

PCT/US02/02311

WHAT IS CLAIMED IS:

1. A method of depositing alpha-tantalum film on a semiconductor wafer, comprising the steps of:
 - 5 depositing a tantalum nitride film on a wafer; and
 - depositing a tantalum film over said tantalum nitride film using wafer bias, wherein said tantalum film is in alpha phase, so that an alpha-tantalum film is deposited on the wafer.
- 10 2. The method of claim 1, wherein said tantalum film deposition step further comprising the steps of:
 - depositing a tantalum film over the tantalum nitride film using wafer bias, wherein said tantalum film is in alpha
 - 15 phase; and
 - nucleating said tantalum film, thereby an alpha-tantalum film is deposited on the wafer.
- 20 3. The method of claim 2, wherein said wafer bias is from about 100 W to about 500 W.
4. The method of claim 3, wherein said wafer bias
- 25 is from about 300 W to about 500 W.

WO 02/065547

PCT/US02/02311

5. The method of claim 1, wherein said alpha-tantalum film is deposited at a temperature of lower than 600°C.

6. The method of claim 5, wherein said alpha-tantalum film is deposited at room temperature.

7. A method of depositing a Cu barrier and seed layer on a semiconductor wafer, comprising the steps of:
depositing a tantalum nitride layer on a wafer;
depositing a tantalum layer over said tantalum nitride layer using wafer bias, wherein said tantalum layer is in alpha phase, thereby depositing an alpha-tantalum barrier layer on the wafer; and
depositing Cu seed layer over said alpha-tantalum barrier layer, thereby Cu barrier and seed layer is deposited on the wafer.

8. The method of claim 7, wherein said tantalum layer deposition step further comprising the steps of:
depositing a tantalum layer over the tantalum nitride layer using wafer bias, wherein said tantalum layer is in alpha phase; and
nucleating said tantalum layer, thereby an alpha-tantalum layer is deposited on the wafer.

WO 02/065547

PCT/US02/02311

9. The method of claim 8, wherein said wafer bias is from about 100 W to about 500 W.

5

10. The method of claim 9, wherein said wafer bias is from about 300 W to about 500 W.

10

11. The method of claim 7, wherein said alpha-tantalum barrier layer is deposited at a temperature of lower than 600°C.

15

12. The method of claim 11, wherein said alpha-tantalum barrier layer is deposited at room temperature.

13. A method of depositing alpha-tantalum film on a semiconductor wafer, comprising the steps of:

20 depositing a tantalum nitride film on a wafer in a first chamber;

transferring the wafer deposited with said tantalum nitride film to a second chamber; and

25 depositing a tantalum film over said tantalum nitride film in said second chamber, wherein said tantalum film is in alpha phase, thereby an alpha-tantalum film is deposited on the wafer.

WO 02/065547

PCT/US02/02311

14. The method of claim 13, wherein said first chamber is ionized metal plasma chamber, and said second chamber is selected from the group consisting of ionized metal
5. plasma chamber and self ionized plasma chamber.

15. The method of claim 13, wherein said tantalum film is deposited using wafer bias in said second chamber.

10

16. The method of claim 15, wherein said first and second chambers are self ionized plasma chambers.

15

17. A method of depositing a Cu barrier and a seed layer on a semiconductor wafer, comprising the steps of:

depositing a tantalum nitride layer on a wafer in a first chamber;

20 transferring the wafer deposited with said tantalum nitride layer to a second chamber;

depositing a tantalum layer over said tantalum nitride layer in said second chamber, wherein said tantalum layer is in alpha phase, thereby depositing an alpha-tantalum barrier layer
25 on the wafer; and

depositing Cu seed layer over said alpha-tantalum barrier layer, so that said Cu barrier and said seed layer is deposited on the wafer.

WO 02/065547

PCT/US02/02311

18. The method of claim 17, wherein said first
chamber is ionized metal plasma chamber, and said second
chamber is selected from the group consisting of ionized metal
5 plasma chamber and self ionized plasma chamber.

19. The method of claim 17, wherein said tantalum
film is deposited using wafer bias in said second chamber.
10

20. The method of claim 19, wherein said first and
second chambers are self ionized plasma chamber.

15
21. A method of depositing alpha-tantalum film on a
semiconductor wafer, comprising the steps of:
depositing a first film on a wafer in a CVD chamber;
transferring the wafer deposited with said first film to
20 a PVD chamber; and
depositing a tantalum film over said first film in said
PVD chamber, wherein said tantalum film is in alpha phase.
thereby an alpha-tantalum film is deposited on the wafer.

25
22. The method of claim 21, wherein said first film
is selected from the group consisting of TiN, TiSiN, TaN, W, and
WxN.

WO 02/065547

PCT/US02/02311

23. The method of claim 21, wherein said PVD
chamber is an ionized metal plasma chamber or self ionized
5 plasma chamber.

24. The method of claim 21, wherein the wafer
deposited with said first film is transferred in vacuum to said PVD
10 chamber.

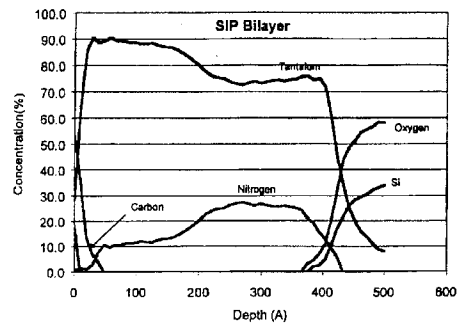


FIG. 1

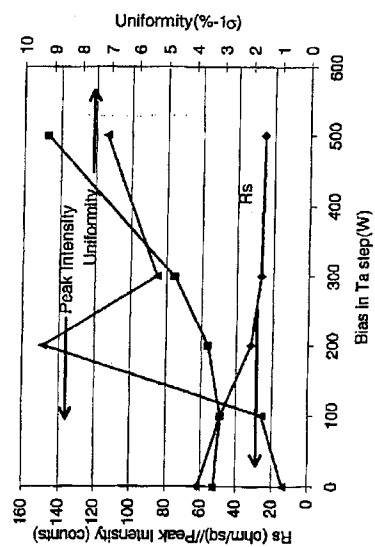


FIG. 2

WO 02/065547

3/7

PCT/US02/02311

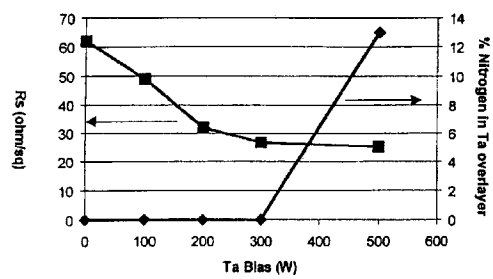


FIG. 3

WO 02/065547

4/7

PCT/US02/02311

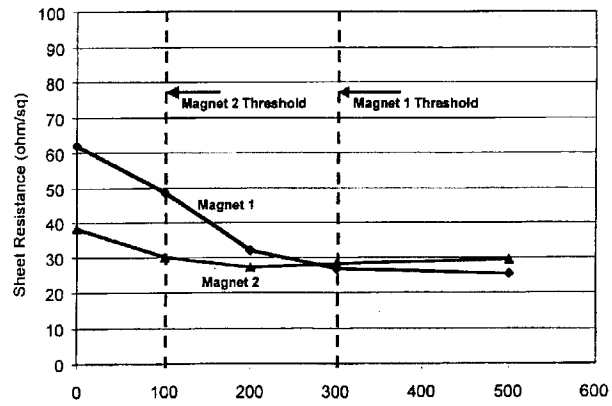


FIG. 4

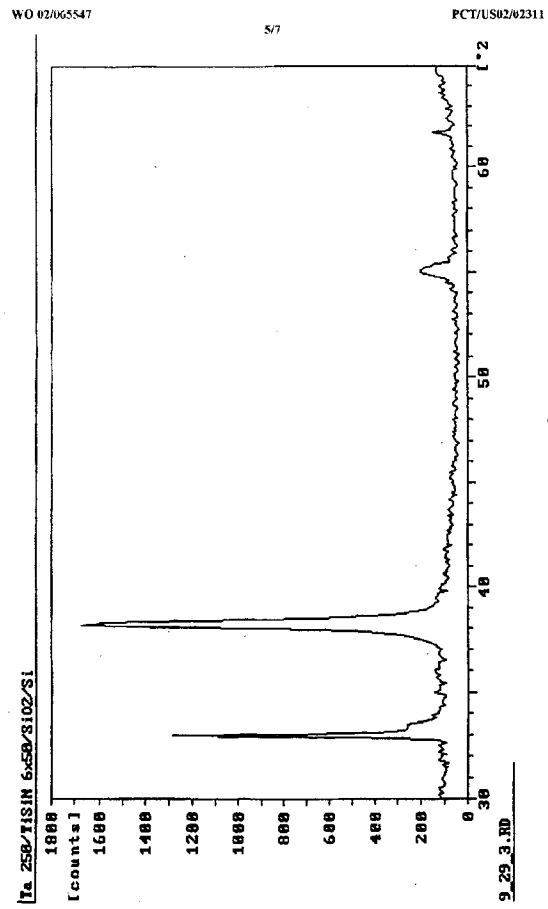


FIG. 5

WO 02/065547

6/7

PCT/US02/02311

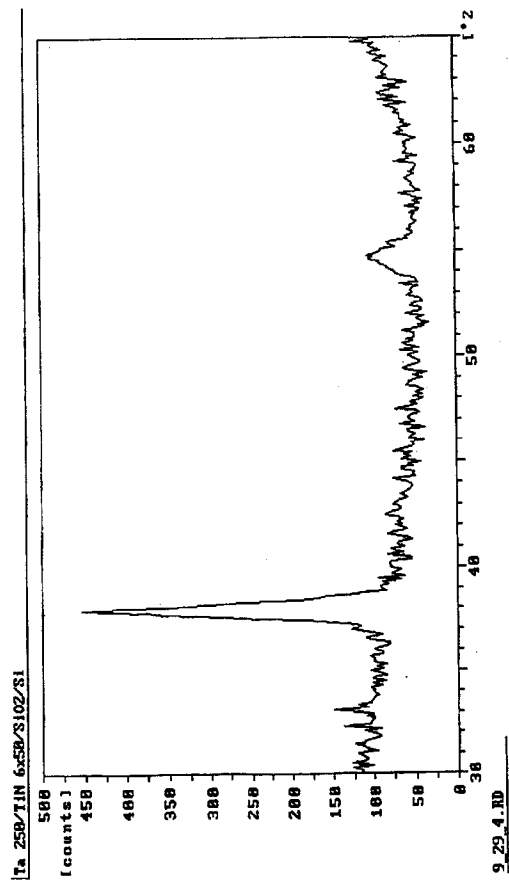


FIG. 6

WO 02/065547

7/7

PCT/US02/02311

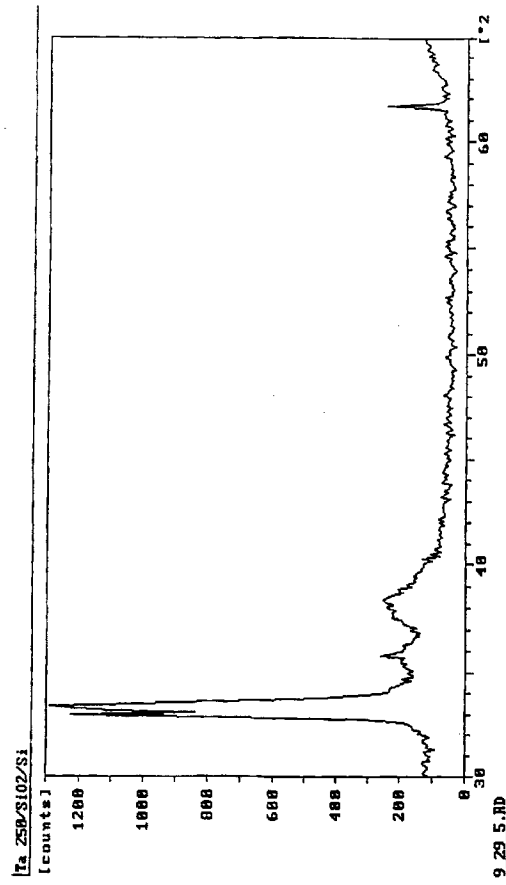


FIG. 7

【国際公開パンフレット（コレクトバージョン）】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
22 August 2002 (22.08.2002)

PCT

(10) International Publication Number
WO 02/065547 A3

- (51) International Patent Classification: H01L 21/768, 21/285
(21) International Application Number: PCT/US02/02311
(22) International Filing Date: 25 January 2002 (25.01.2002)
(25) Filing Language: English
(26) Publication Language: English
(30) Priority Data: 09/775,356 31 January 2001 (31.01.2001) US
(71) Applicant: APPLIED MATERIALS, INC. (US/US); P.O. Box 450A, Santa Clara, CA 95052 (US).
(72) Inventors: SUNDARRAJAN, Arvind; 2200 Munroe Street, #408, Santa Clara, CA 95050 (US); RENGARAJAN, Suresh; 4819 Miramar Avenue, San Jose, CA 95129 (US); MILLER, Michael, A.; 452 S. Bernardo Avenue #2, Sunnyvale, CA 94085 (US); DING, Peijun; 1020 W. Riverside Way, San Jose, CA 95129 (US); YAO, George;
(74) Agents: BERNADICOU, Michael, A. et al.; Blakey, Sokoloff, Taylor & Zafman LLP, 7th floor, 12400 Wilshire Boulevard, Los Angeles, CA 90025 (US).
(81) Designated States (national): CN, JP, KR.
(84) Designated States (regional): European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SI, TR).
(88) Date of publication of the international search report: 26 June 2003
For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.



WO 02/065547 A3

(54) Title: METHOD OF OBTAINING LOW TEMPERATURE ALPHA-Ti THIN FILMS USING WAFER BIAS

(57) Abstract: Provided herein is a method of depositing alpha-tantalum film on a semiconductor wafer by depositing a tantalum nitride film on a wafer, and then depositing a tantalum film over the tantalum nitride film using wafer bias. The tantalum film as deposited is in alpha phase. Also provided is a method of depositing Cu barrier and seed layer on a semiconductor wafer, comprising the steps of depositing a tantalum nitride layer on a wafer; depositing a tantalum layer over the tantalum nitride layer using wafer bias, wherein the resulting tantalum barrier layer is in alpha phase; and then depositing Cu seed layer over the alpha-tantalum barrier layer. Further provided is a method of depositing alpha-tantalum film/layer using two-chamber process, wherein the tantalum nitride and subsequently deposited tantalum film/layer can be deposited in two separate chambers, such as IMP or SIP chambers. Still further provided is a method of depositing alpha-tantalum film by depositing PVD tantalum film on CVD films.

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US 02/02311
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L21/768 H01L21/285		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, PAJ, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 751 566 A (IBM) 2 January 1997 (1997-01-02) column 4, line 40 - column 5, line 2 column 6, line 17 - line 20 column 7, line 11 - line 20; claims 1,6-8; figure 1 ---	1-12
A	US 6 139 699 A (CHIANG TONY ET AL) 31 October 2000 (2000-10-31) column 5, line 37 - column 9, line 20; claims 1,3,4,10,11; figures 3-5 --- -/-	1-12
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another claim or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "T" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "S" document member of the same patent family		
Date of the actual completion of the international search 10 October 2002		Date of mailing of the international search report 16-02-03
Name and mailing address of the ISA European Patent Office, P.O. 5816 Patentkan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-2016		Authorized officer Micke, K

Form PCT/ISA210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		Int.nal Application No. PCT/US 02/02311
C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication where appropriate, of the relevant passages	Relevant to claim No.
A	AITA C R ET AL: "Enhancement of Ta/sup +/- flux by substrate biasing during sputter deposition of tantalum-nitrogen films" PROCEEDINGS OF THE 29TH NATIONAL SYMPOSIUM OF THE AMERICAN VACUUM SOCIETY, BALTIMORE, MD, USA, 16-19 NOV. 1982, vol. 1, no. 2, pt.1, pages 348-351, XP008009199 Journal of Vacuum Science & Technology A (Vacuum, Surfaces, and Films), April-June 1983, USA ISSN: 0734-2101 the whole document -----	1-12

Form PCT/ISA/210 (continuation of second sheet) (July 1997)

INTERNATIONAL SEARCH REPORT	International application No. PCT/US 02/02311
Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)	
This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:	
1. <input type="checkbox"/> Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:	
2. <input type="checkbox"/> Claims Nos.: because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:	
3. <input type="checkbox"/> Claims Nos.: because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).	
Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)	
This International Searching Authority found multiple inventions in this international application, as follows:	
see additional sheet	
1. <input type="checkbox"/> As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.	
2. <input type="checkbox"/> As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.	
3. <input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:	
4. <input checked="" type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the Claims, it is covered by claims Nos.: 1-12	
Remark on Protest	
<input type="checkbox"/> The additional search fees were accompanied by the applicant's protest. <input type="checkbox"/> No protest accompanied the payment of additional search fees.	

INTERNATIONAL SEARCH REPORT

International Application No. PCT/US 02/02311

FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. Claims: 1-12

Method of depositing an alpha-tantalum film by

- 1) depositing a tantalum nitride film and
- 2) depositing a tantalum film over the tantalum nitride film using wafer bias.

2. Claims: 13-20

Method of depositing an alpha-tantalum film by

- 1) depositing a tantalum nitride film in a first chamber and
- 2) depositing a tantalum film over the tantalum nitride film in a second chamber.

3. Claims: 21-24

Method of depositing an alpha-tantalum film by

- 1) depositing a film in a CVD chamber and
- 2) depositing a tantalum film over the film in a PVD chamber.

INTERNATIONAL SEARCH REPORT				International Application No.	
Information on patent family members				PCT/US 02/02311	
Patent document cited in search report	Publication date	Patent family member(s)		Publication date	
EP 0751566	A	02-01-1997	EP 0751566 A2	02-01-1997	
			JP 3330495 B2	30-09-2002	
			JP 9017790 A	17-01-1997	
			US 2002046874 A1	25-04-2002	
			US 6291885 B1	18-09-2001	
US 6139699	A	31-10-2000	EP 0985058 A2	15-03-2000	
			JP 2002500704 T	08-01-2002	
			US 2002070375 A1	13-06-2002	
			WO 9854377 A2	03-12-1998	
			US 6488823 B1	03-12-2002	

フロントページの続き

- (72)発明者 サンダラジャン, アーヴィンド
アメリカ合衆国, カリフォルニア州 95050, サンタクララ, モンロー ストリート 2
200 408番
- (72)発明者 レンガラジャン, スラヤ
アメリカ合衆国, カリフォルニア州 95129, サン ノゼ, ミラマー アヴェニュー
4819
- (72)発明者 ミラー, マイケル, エー.
アメリカ合衆国, カリフォルニア州 94086, サニーヴェール, サウス ベルナルド
アヴェニュー 452 2番
- (72)発明者 デイン, ペイジャン
アメリカ合衆国, カリフォルニア州 95129, サン ノゼ, ウェスト リバーサイド
ウェイ 1020
- (72)発明者 ヤオ, ゴンダ
アメリカ合衆国, カリフォルニア州 94539, フレモント, ワインディング レーン
44875
- (72)発明者 マーカダル, クリストフェ
アメリカ合衆国, カリフォルニア州 95051, サンタクララ, プルネリッジ アヴェニュー
3655 124番
- (72)発明者 チェン, リン
アメリカ合衆国, カリフォルニア州 94087, サニーヴェール, ダートシャー ウェイ
, 784

F ターム(参考) 4K029 AA06 AA24 BA08 BA16 BB02 BB07 BC05 BD01 CA05 CA13
EA08 EA09 FA07
4K030 BA17 BA18 BA20 BA29 BA38 CA04 CA12 HA03
4M104 BB17 BB32 DD38 DD43 FF17 FF18 HH16